

Proposition de Stage

Sujet : Développement d'un générateur de mémoire pour ADC rampe

Société : PYXALIS,

- Entreprise de conception de circuits intégrés spécialisés en capture d'image.
- ~50 employés
- Zone d'activité Centr'Alp à Moirans (10 minutes de Grenoble)

Fonction : stagiaire Assistant-Ingénieur

Durée du stage : 10 à 14 semaines

Niveau d'études souhaité : Deuxième année d'école d'ingénieur

Objectif :

L'objectif du stage est de continuer le développement de scripts et blocs permettant d'accélérer les délais de conception d'une mémoire dédiée aux convertisseurs analogique numérique de type « rampe », utilisée dans les capteurs d'image.

L'architecture d'une RAM ADC dans un capteur d'images est dépendante de plusieurs facteurs :

- Contraintes fonctionnelles : Nombre de bits des mots, nombre de mots accessibles en parallèle.
- Contraintes physiques : taille du pixel, vitesse de fonctionnement
- Contraintes techno : La technologie choisie, les conditions d'utilisation
- ...

Lors du développement d'un capteur, la conception d'une telle mémoire prend du temps, et ce développement est refait à chaque nouveau design, puisque les points listés ci-dessus changent d'un circuit à l'autre.

Pourtant, une telle mémoire est un assemblage de blocs unitaires, et c'est la manière d'assembler ces blocs qui dépend des spécifications du circuit dans lequel cette mémoire sera embarquée.

Une ébauche de générateur a déjà été réalisée. Il s'agirait ici de continuer ce travail en ajoutant différents choix possibles, de l'encapsuler dans un environnement permettant de tester le bloc généré, de lui ajouter le flow de placement routage, et de le formater dans une optique de bloc re-use.





Description du stage :

Le stage a pour but d'automatiser cette phase d'assemblage. Le stagiaire devra, à partir de spécifications fournies par l'encadrant :

- Continuer le développement d'un script python permettant de générer
 - les « netlists » (fichiers codés en verilog) nécessaires à la conception de la RAM ADC à partir d'un ensemble de paramètres d'entrée.
 - un bloc de vérification de la RAM générée
 - des fichiers liés à diverses technologies
- Vérifier dans l'environnement de conception numérique la bonne fonctionnalité des RAMs générées, en suivant un plan de vérification et en effectuant les tests par simulation numérique du testbench ainsi généré (outil Cadence Xcelium)
- Générer des fichiers d'échanges de contraintes avec le placement routage

Connaissances mises en jeu :

- Simulation numérique avec outil Cadence Xcelium.
- Langage VHDL, Verilog et Python

Apports à attendre du stage :

- Ce stage vous offre la possibilité de découvrir le monde des capteurs d'images dans un environnement industriel très compétitif. Vous serez amené à discuter avec les ingénieurs travaillant dans la conception numérique.
- Vous évoluerez dans un environnement réactif vous permettant de satisfaire les objectifs fixés ensemble au début du stage.
- Stage rémunéré

Encadrement du stage :

- Tuteur : Pierre-Adrien Pinoncely (manager technique de l'équipe de conception numérique)
- 35h par semaine
- Le stagiaire sera accompagné par le tuteur pendant toute la durée du stage.

REFERENCE :	PYX-STAG-DIG-2025-04
CONTACT :	pierre-adrien.pinoncely@pyxalis.com

