



## Proposition de Stage -2025

### Sujet : Mise en place d'une méthodologie de vérification formelle appliquée à des fonctions numériques de capteur d'image

#### Société : PYXALIS,

- Entreprise de conception de circuits intégrés spécialisés en capture d'image.
- ~50 employés
- Zone d'activité Centr'Alp à Moirans (10 minutes de Grenoble)

**Fonction** : stagiaire Ingénieur

**Durée du stage** : 6 mois

**Niveau d'études souhaité** : Troisième année d'école d'ingénieur

#### Objectif :

Mise en place d'une méthodologie de vérification numérique par approche « formelle ».

#### Description du stage :

Traditionnellement, les fonctions numériques d'un ASIC sont vérifiées par simulations fonctionnelles. Celles-ci sont basées sur des scénarios de tests, mis au point par les concepteurs de ces fonctions. Cette méthode a ses limites, puisqu'elle ne vérifie que ce qui est couvert par ces scénarios.

L'approche formelle offre un tout autre angle de vue sur la vérification. En effet, à partir d'une description comportementale des sorties et des entrées du bloc à vérifier, elle permet de couvrir l'ensemble des cas reliant ces entrées à ces sorties.

L'objectif de ce stage est la mise au point d'une méthodologie de vérification formelle, appliquée à deux blocs cruciaux présents dans les capteurs d'image Pyxalis. Ces blocs (*timer* et *timer compare*) sont au coeur des bases de temps du capteur, garantissant le bon séquençement des images.

La mise au point de cette méthodologie et son application à ces deux fonctions permettra finalement d'améliorer la qualité de ces blocs (↔ à diminuer les bug) en augmentant la couverture de vérification.

Lors du stage, vous déroulez les étapes suivantes :



- Votre premier travail sera de comprendre la fonctionnalité de ces deux blocs, en étudiant leur spécification, et en vous basant sur des simulations fonctionnelles.
- Vous étudierez ensuite dans la littérature les méthodologies de vérification formelle.
- Puis, vous vous concentrerez sur l'application d'une méthodologie aux deux blocs identifiés, en codant des assertions en langage SVA. Vous travaillerez avec l'outil JasperGold de Cadence. Vous identifierez (surement) des bugs, et les corrigerez.
- Vous réaliserez enfin une vérification formelle d'un assemblage de ces deux blocs. En se basant sur le travail effectué unitairement.
- Pour finir, vous vérifierez que les assertions mises en place ne se déclenchent pas lors des simulations fonctionnelles.
- Tout au long de ce processus, vous devrez vous assurer que l'environnement de vérification mis en place soit automatisable ( $\Leftrightarrow$  non-régression automatique, extraction de reports d'erreurs automatiques)

#### Connaissances mises en jeu :

- Vérification d'un bloc numérique
- Méthodologie de vérification **formelle**
- Codage des assertions en **SVA** (SystemVerilog pour les Assertions).
- Correction des bugs en **VHDL**
- Utilisation du cockpit de vérification formelle **JasperGold** de **Cadence**
- Utilisation de l'outil de simulation **Xcelium** de Cadence, et du visualiseur **Simvision**
- Gestion de révision par GIT / Gitlab
- Langue anglaise (pour lecture et écriture des documentations)
- Rigueur, pragmatisme, patience et autonomie seront nécessaires pour atteindre l'objectif du stage.

#### Apports à attendre du stage :

- Ce stage vous permettra d'appréhender les défis de la vérification numérique, étape clé du flow de conception de circuits intégrés. Vous découvrirez une méthodologie de vérification moderne, la vérification formelle.
- Vous progresserez dans l'utilisation de langages à l'état de l'art dans le domaine de la vérification (SystemVerilog, et SystemVerilog pour les assertions).
- Vous utiliserez des outils couramment utilisés dans le domaine de la microélectronique numérique (Cadence JasperGold / Xcelium)



- Vous mettrez en œuvre un processus complet de vérification, nécessitant une planification rigoureuse de votre travail en différentes étapes. Cette capacité d'organisation sera extrêmement importante dans votre futur métier d'ingénieur.
- Enfin, vous évoluerez dans un environnement réactif vous permettant de satisfaire les objectifs fixés ensemble au début du stage. Le suivi de votre projet sera effectué périodiquement dans le respect des règles de qualité mises en place au sein de l'entreprise.
- Stage rémunéré

**Encadrement du stage :**

- Tuteur : Pierre-Adrien PINONCELY (manager technique de l'équipe de conception numérique)
- 35h par semaine
- Le stagiaire sera accompagné par le tuteur pendant toute la durée du stage. Un temps dédié sera alloué pour la rédaction du rapport de stage avec les outils de l'entreprise à disposition.

REFERENCE :	PYX-STAG-EZW-25-8
CONTACT :	pierre-adrien.pinoncely@pyxalis.com